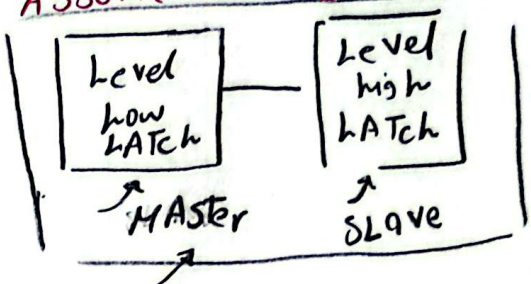
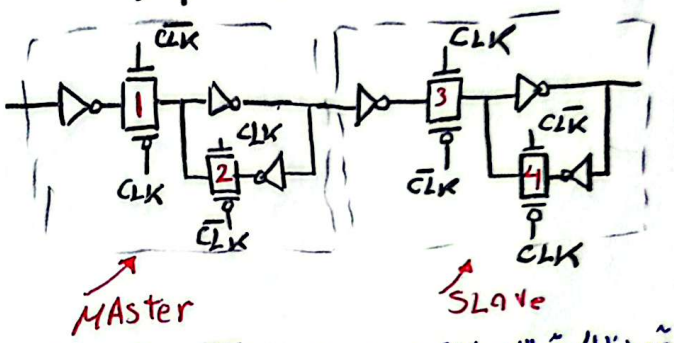
* خلينا بس في البداية لدة نفتكر الـ LATCH
كرسمة كانت إزاي وبعدها نرسم الـ F.F
نأخذ تو لنا آخر مرة إن الـ F.F هو عبارة عن
2 LATCHES واحد MASTER وواحد SLAVE
Assume +ve edge Flip flop



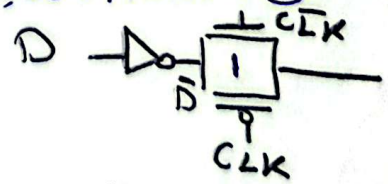
F.F دي



تو لنا المرة اللي فاتت إن الـ Tsu حسبناه وليه
علاقة بالـ MASTER-LATCH

$T_{su} = 3inv + T_{gate}$

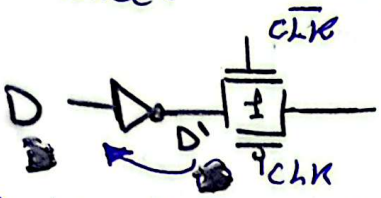
ولو مش فاكر أرجع لآخر سيشن كانوا هتعرف ليه
بس المرة اللي فاتت حسبنا شوية الـ HOLD Delays
لو فاكر إن الـ HOLD هو الوقت اللي لازم الـ input
يفضل ثابت فيه بعد الـ +ve edge وهيتغير شوية
فلو جيت خدت بالك إن الـ MASTER ده
أساسًا شغال مع الـ -ve CLK فهو أساسًا
الـ +ve edge تيجي هيكون قاطع طريقه الـ Input
إنه يدخل لـ MASTER هيكون مطفي
بس لو جيت تحقق الـ MASTER مش هيطفي على طول



هو هتلاقيه إنه هيتغير الوقت بتاع الـ Transmission gate
ثم الـ Hold هو الـ Transmition gate

Common 2

بس في الحقيقة إنا برده خدت
عليك هو مش هيكون الـ Transmition Direct
طب ليه؟
الفكرة إن الـ D دي هي اللي داخلة على
الـ Transmition gate مش الـ Input Direct (D)



فدلوقتي أنا واقف عند الـ D' فلو عاوز أرجع لـ
input هتلاقيني راجع بالسهم لورا
يعني في الحقيقة الـ D اللي داخلة دي
هي عدت في الأول على ∆ وخدت الوقت
بتاعها لحد موصلت قبل الـ Transmition gate
فكده أنك واقف عند الـ D' وعاوز ترجع لـ D
فنا خدي حسابك حساب الـ Delay بتاع
الـ ∆ بس بالسالب
فيبقى حساب الـ

$T_{hold} = T_{transmition\ gate} - T_{inverter}$

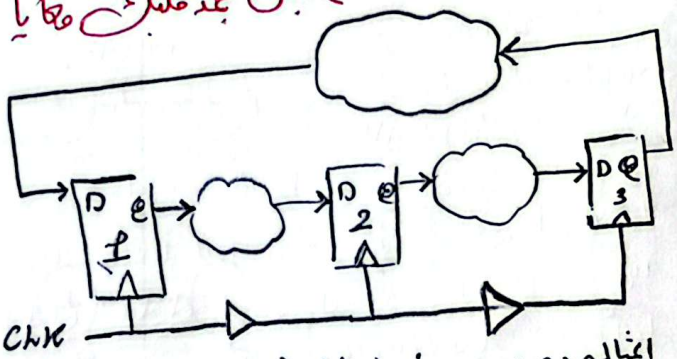
فلو هنفترض إن الـ Transmition gate كان بـ 0.25
والـ Inverter كان بـ 1/2
يبقى الـ $T_{hold} = -0.25$
يعني أنت كده كويس إنت تمام يعني عشان
أقدر أعمل Violation لـ hold محتاج أغير الـ
Dinput قبل الـ +ve edge CLK بـ 0.25ns اللي هو أساسًا
عمري هوصل بعد الـ +ve edge CLK لـ D
يعني وبالتالي عمري هنا بالأرقام دي
يحصل Violation لـ hold
في الحقيقة إنت كده تمام يعني؟ برده لأنك
شوية بشوية لما تفتح الـ lib هتلاقي إن فيه
أرقام -ve وأرقام +ve المهم دلوقتي
عندي إنك تفهم الـ -ve دي جاية منين
وإنك تفهم إن الـ Arch بتاع الـ F.F ده مش ثابت

(3)

* حاجة تمام محتاجين نأكد نلخبط قبل مبدأ Lab 2 هو ازاي أعرف من الرسمة هل أنا +ve Skew ولا -ve Skew
عشان يفيد رقم أخده بال +ve وبال -ve

[1] أول فكرة إنه ممكن يجيلك رسمة ويقولك احسبلي ال Period بتاعتك وحاطط ال Skew على ال CLK PATH

(*) الفكرة إنك دائماً تدور هو فين ال Source اللي لما يطلع منه ال Clk ده وإيه ال Distination اللي هتوصله ال CLK
فلو ال CLK واصل لل Source قبل ال Distination واللي هو ده المنطقي بتاع بقى ده +ve Skew ولو ال CLK واصل لل Distination الأول وبعدها حدث وقت عشان هتوصل لل Source يبقى دي -ve Skew
متعالي ناخد مثال بس جد ملبك قليلاً



المثال ده بس من غير أرقام أنا بس عاوزك تمسك كل (Reg → Reg) PATH وتشوف ال Skew من الرسمة +ve ولا -ve

• متعالي ناخد من 1 ← 2
ال Source باين من الرسمة إنه 1 وال Distination 2
1 وصلت ال CLK الأول إيه اللي هو ال Source وبعدها ال CLK قعدت شوية عدت عليه ▷ لحد ما وصلت لل 2 واللي هو ال Destination يبقى ال CLK وصلت لل Destination قبل ال Source يبقى ده +ve Skew

• نشوف من 2 ← 3 برده +ve
• نيجي بقى من 3 ← 1 ال Source 3 وال Distination 1
ال CLK وصلت لل 1 قبل متعدي على (2-buffers) ▷▷ بعدها توصل لل 3 (-ve Skew)
(Source) 3 وصلت قبل ال Destination 1 هو ال Source يبقى

(4)

[2] نيجي بقى نتأكد نوع من المسائل زي مثلاً ال Lab إنه يديك أرقام ال Skew مثلاً من غير رسم بين ال Source وال Distination والحوارات دي
وعاوزك بقى تتأكد هل فيه Setup Violation / hold ولا لأ؟ دائماً الدور على اللي بيوظ المعادلات

① بالنسبة لل Setup عاوزين نعرف الرقم ده تابع ال Skew أخده بال +ve ولا بال -ve

نكتب المعادلة قبل ال Skew
$T_{period} > t_{cq} + T_{propagation} + t_{su}$
فلو فعلاً ال inequality دي متحققة يبقى مفيش Violations ولو متحققش يبقى أكيد هيحصل Setup Violations واحنا دائماً عاوزين ندور على ال worst case بحيث لو أنا حطيت كل ال worst case وال inequality لسه متحققة يبقى أنا كده عمري هيحصل Violations
فنتعالى نجيب ال LHS (worst case) أنا عاوز ال Tperiod يبقى كبير كتير بس ال worst case إنه أضيف عليه حاجة تقلل الرقم الكبير ده وهو ده ال Skew وبالتالي عاوزه يقلل يبقى هستخدم -Skew ولو خدنا ال RHS (worst case) أنا بردو عاوز ال RHS يبقى أقل ما يمكن بس لو خدت ال RHS بال worst case اللي هو أخد ال Delay بتاع ال MAX library يبقى كده ال worst بالمعادلة دلوقتي

$T_{period} - t_{skew} > t_{cq} + T_{propag} + t_{su}$

وهنا ال Skew -ve

Con

بنبدأ أنا هنا بقى الـ Notes بتاعة الـ lab نبتدي بـ lab 2.0

ولو فتحت الـ Script ولو فتحه تلاقيه نشوف سوا أيه الجديد اللي اتضاف عن labs 1

→ elaborate -lib work ALU

لـ عشان يحط الـ intermediate files في lib واحد اسمه File الـ intermediate دي اللي خارجة بعد ما خلصت Analyze ولو فاكر الـ Analyze والـ Read . elaborate بدله الـ Analyze والفرق بين الـ elaborate بيعملوا Automatic link وهش محتاجين أكتب Command الـ link تاني ولو كتبته مش هيضر

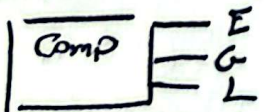
→ check_design

بتعمل Checking وتتأكد على أنه cell هل الـ input بتاعها Driven ولا لأ وهل الـ output فيه منه Floating ولا لأ دولة كده كانوا الحاجات الجديدة في الـ lab ده بعد ما خلص Run ونفتح الـ syn.log سطر رقم 131 هتلاقي

Cells donot drive (LINT-1)

لـ ده اسم الـ warning لو الـ output بتاع الـ cell بقى Floating

طب ليه بيحصل حاجة زي كده؟! ده بسبب الـ Design ware library بتجيبلك زي Components بتجيبلك الـ functions عندها وخلاص الـ بقدر يعملك الـ Comparator متلتل زي الـ



لو ناعلوز output الـ Equal هاخلي الـ E والـ G والـ L دولة بقوا Floating وبالتالي ده warning فاكس فيه فرق بين طلع ليه هنا لأنه ساعات برده بيكون مهم على حسب

hold

برده نفس الفكرة نحط الـ inequality وندور إزاي نعادله نبوظها إزاي هو نحط كل الـ worst case عندي ولو لسه الـ inequality متحققة يبقى عندي violation

$T_{hold} < T_{cq} + T_{propagation}$ (Skew)

(LHS) (RHS)

فأنا عشان الـ inequality تفضل متحققة لازم الـ LHS يكون أقل من الـ RHS حسب عادي worst case يبقى إيه أحاول أزود الـ LHS وأقلل الـ RHS ولو لسه الـ inequality متحققة فأنت كده مفيش violations

طب إزاي الـ T_{hold} أزوده؟! اللي هو قصدي LHS يزيد إيه أزود على الـ T_{hold} رقم اللي هو ولو قتي +ve skew

طب إزاي الـ RHS أقلل هو إيه آخد أحسن Delays من الـ lib. يعني آخد الـ min library

← يبقى عشان أعمل Run setup وأتأكد من الـ violations آخد الـ skew بـ -ve وآخد الـ MAX library (MAX-Delay)

$T_{period} - T_{skew} > T_{cq} + T_{prop} + T_{su}$

← ويبقى عشان أعمل Run hold وأتأكد من الـ violations إن مفيش هو إيه آخد الـ skew بـ +ve وآخد الـ min library (min-Delay)

$T_{hold} + T_{skew} < T_{cq} + T_{prop}$

حسب بس أو خلاص الكلام ده اللي الـ Physical design عليه stress.

Notes lab2.1 حمد و نا خد

الـ Lab ده برده كانت فكرته سهله هنعمل

1. Run the script file
2. Open Syn.log
3. Search for "Removed" & "Merged" هتلاقي

1. the Register reg4-reg[1] is Constant, will be Removed

لو جينا فتحنا الـ RTL هتلاقي إن الـ reg4 ده عبارة عن 8bit register بس فكاوزين بقى دلوقتي نفهم هو ليه شال reg4 1,3,5,7 من الـ reg4 هتلاقي إن الـ الحاجة اللي واخدها reg4 كان الـ Reset هو 8'b000 0000 ولو مفيش Reset فهتلاقيها واخده قيمة الـ PARAMETER اللي هو بيقول Constant "PRMBL"

reg4 → Reset 8'b 0000 0000 (7 6 5 4 3 2 1 0)

reg4 → Normal operation 8'b 0 1 0 1 0 1 0 1

فبص كده على الـ bits 1,3,5,7 الـ bits دول هيفضلوا ثابتين بصفر طول الوقت سواء كنت في الـ Reset أو الـ Normal فعشان كده الـ Tool دايماً بتدور على إن تجيلك أقل Area فهتشيلهم دي و هتلاقي على الـ Syn

2. Reg4-reg[2] is removed because it is merged to reg4-reg[0]

الـ Compiler قرر إنه هيعمل merged للـ bits اللي بـ 1 في الـ reg4[0] وده برده عشان هم جوه الـ rst بـ 0 وبرده الـ rst بـ 1 وبالتالي هم كده ثابتين فعشان يوفر Area اعتبرهم F.F واحد بس.

وده حصل عشان إنت مستخدم Command Compile-ultra اللي خد مني وقت كبير ده بدل Compile عارف سؤال دلوقتي ليه لو استخدمت Compile إيه اللي هيعمل برده هيعمل optimization بس مش بالعنفه فهيعمل Removed مش هيعمل merged.

ربقينا بنعمل Run فـ الـ Command الـ Terminal ده

dc_shell -f syn_script.tcl | tee syn.log

(1) (2) العلامة دي بتبقى Pipline

وده معناها إن الـ Command (1) هيبقى الـ 2 Command يعني دلوقتي تقدر تعرف الـ Terminal ويرده تطبع الـ (syn.log).

$T_{period} > T_{input} + T_{pd} + T_{su}$

فبرده نفس الكلام الـ T_{pd} والـ T_{su} ده هيجي من الـ lib. فناقص الـ T_{input} والـ CLK Delay

خلاص عرفنا الـ CLK ورا فناقص الـ Input Delay

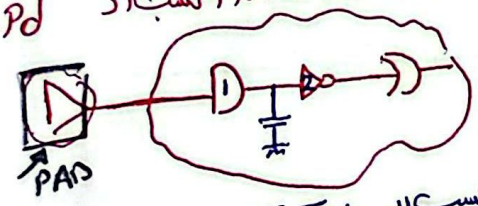
لأن في الحقيقة الـ input من الـ Hardware مش داخل كده على طول بـ wire لا بيتقي داخل على PAD والـ PAD ده فايدته حاجتين

① بيعمل Filtering للـ Noise

② بيقدر يتحكم في الـ Voltage عشان متحرقش الـ gates اللي الـ input داخل عليها.

فالـ PAD دي ليها Delay فالـ Delay ده بيعمل modeling بـ Input Delay

*عندنا ملحوظة هنا عشان أحسب الـ T_{pd}



عشان أحسب الـ T_{pd} بتاع الـ gate ① لازم يكون عندي الـ output CAP (اللي هو الـ input CAP بتاع الـ ②) ولازم الـ input Transition طب ده أجيبه منين وأنا داخل عليها الـ input جاي من PAD فقولنا هنستخدم Driving Cell بتاع الـ Command

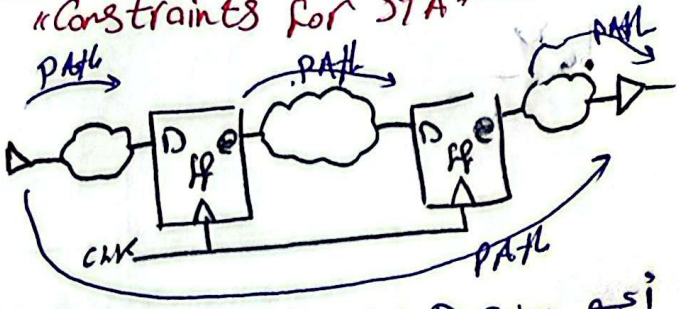
وده عشان أعمل Model للـ PAD بـ Buffer والـ STANDARD Cell وبما إني بدور على الـ worst فهدور على الـ SS.lib (slow slow) وبحيث إن الـ output Transition ده يطلع

أستخدمه كـ input Transition للـ gate رقم ① عشان أحسب الـ Propagation Delay بتاع الـ And gate.

⑵ input Delay Constraints ⇐ فكده هنحل

③ Driving-Cell

«Constraints for STA»

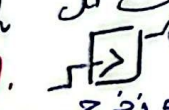


أي Design لازم يبقى فيه الـ 4 مسارات Types

① input to reg
② Reg to Reg
③ Reg to output
④ input to output (فاكسرينه)

نتعامل نفصل كل PATH ونشوفه أي اللي محتاجينه ندخله للـ TOOL وأي اللي مش موجود ولازم احنا ندهولها عشان نقدر نعمل Analyze للـ PATH نتعامل نفصل كل PATH ونشوف سوا

[1] Reg to Reg.



دايما بنحاول نخرج مسار كل الـ Setup والدنيا مظبوطة Setup وال Hold Violations كده كده بنتعامل مع الـ PnR قدام اللي فاكسر نتعامل بقى نكتب المعادلة ونشوف أي اللي موجود وأي اللي هنضيفه

$T_{period} > T_{cq} + T_{period} + T_{su}$

فعشان الـ TOOL تعمل Analyze للـ PATH ده محتاجه T_{cq} و T_{pd} و T_{su} وده عادي هعرف أجيبهم من الـ library فهيبقى ناقص الـ T_{period} اللي هو الـ CLK بتاعتك

⇐ بيقى اللي هدخله ولازم أعرفه وأحطه Constraint هيبقى أحط Constraint على الـ CLK-Period بقى دي أول حاجة أعرفها من الـ Constraints كل الـ CLKs اللي عندي دي رقم ①.

[2] input to Reg

برده نكتب المعادلة ونشوف أي اللي محتاجينه ندخله من برة

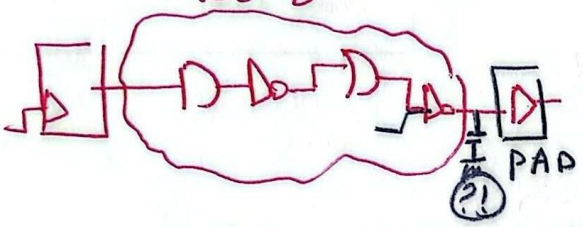
3) Reg to output

- برده تعالى نكتب المعادلة

$T_{period} > T_{pd} + T_{outputDelay}$

نفس الفكرة ونفس الكلام ال output PAD بيبقى ليه Delay حطيه ليه لازم ناخده في حساباتنا الفكرة إنك لو مملتش حسابك عليه وطلعت ال output عادي ال Block اللي بعدك الديلاي اللي إنت مخدتهوش في حسابك والمفروض هيعمل Capture ال Value هيلاقي إنك بعت Value تانية جديدة والدنيا مش تمام فلازم أخد ال output Delay في إعتباري

- نيجي بقى لحساب ال Propagation Delay



فيرده هنا عشان أحسب ال Delay بتاع آخر Cell لازم أخد في إعتباري ال output CAP وال input Transition حطيت آخر gate عادي أجيب ال input Transition مدال gate اللي قابلي بس ال output CAP مين ؟!

نده هدخله برده في Constraint بـ Set_load.

← بقى هنا هدخل

(4) Set_output_Delay.

(5) Set_load.

بقى عدد ال Constraints لحد دلوقتي هم 5 هيهمنيش ال Syntax هتلاقيه في الملزمة يهمني إنك فهمت حاجة واحدة ليه بنعملها وأنقل من الملزمة بسهولة :)